

đơn giản dễ bị suy giảm hiệu năng do giới hạn độ rộng xung và sai lệch thời gian phản hồi.

Trong khi đó, điều khiển số nổi lên như một giải pháp ưu việt với khả năng mô hình hóa, lập trình và triển khai các thuật toán điều khiển phức tạp trên vi điều khiển, DSP hoặc FPGA. Tuy nhiên, điều khiển số cũng đưa vào hệ thống một độ trễ nhất định, do các bước lấy mẫu ADC, tính toán số học, cập nhật PWM, ảnh hưởng trực tiếp đến tính ổn định và hiệu quả điều khiển.

Theo phân tích [3], chính các độ trễ này gây mất pha tại vùng cộng hưởng, làm cho các phương pháp giảm chấn chủ động dựa trên phản hồi dòng trở nên kém hiệu quả, đặc biệt khi tần số cộng hưởng vượt quá 1/6 tần số lấy mẫu. Điều này đã thôi thúc nhiều nghiên cứu tìm kiếm các kỹ thuật bù trễ hiệu quả nhằm cải thiện độ ổn định và đáp ứng của hệ thống. Trong đó, phương pháp chèn thêm diện tích (additional area insertion) [4] và tương đương diện tích (area equivalence) [5] tập trung vào việc hiệu chỉnh đáp ứng tần số thông qua khâu hiệu chỉnh ngoại vi, giúp khôi phục lại dự trữ pha bị mất do trễ. Các cấu trúc này thường sử dụng các khối lọc hoặc bù bổ sung gắn vào vòng phản hồi dòng điện, giúp hệ thống ổn định hơn mà không cần thay đổi lõi điều khiển chính.

Trong khi đó, các nghiên cứu [6], [7] khai thác liên kết bù pha bậc nhất và bậc hai (lead links) như một phần của bộ điều khiển phản hồi dòng hoặc phản hồi dòng tụ. Các khối bù này được đặt trực tiếp vào vòng điều khiển, giúp tăng biên độ và pha trong vùng cộng hưởng. Tuy nhiên, do đặc tính tăng độ lợi mạnh ở tần số cao, các liên kết này có thể làm khuếch đại nhiễu, đặc biệt ở gần tần số Nyquist, gây nguy cơ mất ổn định nếu không giới hạn hợp lý. Theo nghiên cứu [8] đã chỉ ra rằng nếu không được kiểm soát, các bộ bù dạng lead bậc nhất có thể gây độ lợi vô hạn, làm mất ổn định toàn bộ hệ thống.

Nổi bật trong số đó, nghiên cứu [3] đề xuất một cấu trúc điều khiển dạng phase-shaping gồm bộ bù pha sớm rời rạc (lead compensator) kết hợp với bộ lọc thông thấp, cho phép mở rộng vùng ổn định lên đến 1/4f_s mà vẫn hạn chế nhiễu cao tần. Tuy nhiên, phương pháp này tương đối phức tạp và khó triển khai trên các hệ thống nhúng có tài nguyên giới hạn.

Ở hướng tiếp cận đơn giản hơn, nghiên cứu [9] đề xuất kỹ thuật bù trễ dựa trên việc dịch thời gian mẫu và hiệu chỉnh điểm đặt đầu vào mà không cần mô hình hệ thống chính xác, dễ triển khai và vẫn duy trì khả năng giảm chấn.

Từ những phân tích trên, có thể thấy các phương pháp bù trễ hiện có đều mang lại hiệu quả đáng kể nhưng đi kèm theo những hạn chế nhất định, hoặc yêu cầu mô hình hệ thống chính xác, hoặc làm tăng độ phức tạp phân cứng và thuật toán. Vì vậy, trong đề tài này, nhóm chọn phương án sử dụng bộ bù Lead rời rạc - một giải pháp đơn giản, dễ thiết kế nhưng vẫn hiệu quả trong việc cải thiện dự trữ pha và đảm bảo ổn định cho hệ thống điều khiển số có trễ thấp. Phương pháp này đóng vai trò như một cầu nối hợp lý giữa hiệu quả điều khiển và khả năng triển khai thực tế.

Một yếu tố then chốt giúp triển khai điều khiển số hiệu quả chính là áp dụng phương pháp Model-Based Design (MBD). Thay vì lập trình từng dòng mã trên môi trường nhúng, MBD cho phép xây dựng toàn bộ mô hình hệ thống từ cảm biến, xử lý tín hiệu đến điều chế PWM trong Matlab/Simulink. Các khối điều khiển được rời rạc hóa phù hợp với tần số lấy mẫu, tín hiệu ADC và PWM được đồng bộ hóa chặt chẽ, từ đó đảm bảo mô phỏng sát thực và có thể sinh

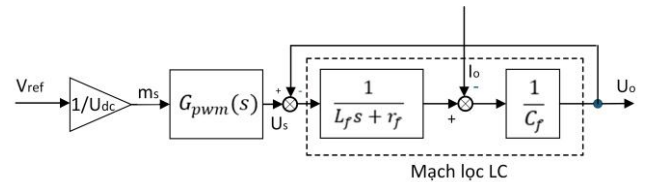
mã tự động để triển khai lên phần cứng. Phương pháp này giúp giảm thời gian phát triển, tăng độ chính xác và đảm bảo tính nhất quán giữa mô phỏng và thực nghiệm.

Tóm lại, việc kết hợp điều khiển số, kỹ thuật bù đơn giản nhưng hiệu quả cùng phương pháp thiết kế MBD mang lại nhiều lợi thế về hiệu suất, độ linh hoạt và khả năng mở rộng là hướng đi phù hợp trong phát triển các hệ thống điều khiển công suất hiện đại.

2. Cấu trúc điều khiển trên miền liên tục

Mô hình liên tục làm giảm thời gian mô phỏng và độ phức tạp tính toán, cho phép dễ dàng phân tích ổn định, khảo sát đặc tính tần số, và kiểm thử các thuật toán điều khiển như PID, điều khiển dòng hoặc điều khiển vector. Dù vậy, mô phỏng miền liên tục không phản ánh chính xác ảnh hưởng của chuyển mạch thực tế như nhiễu cao tần, trễ thời gian hay tổn hao chuyển mạch, những yếu tố chỉ được thể hiện rõ trong mô hình rời rạc. Do đó, mô phỏng miền liên tục thường là bước đầu, trước khi chuyển sang mô hình chi tiết hơn phục vụ đánh giá cuối cùng. Trong phần này nhóm sẽ xét lần lượt từ cấu trúc vòng hở cho đến cấu trúc điều khiển vòng kín.

2.1 Cấu trúc vòng hở



Hình 2: Mô tả toán học nghịch lưu vòng hở.

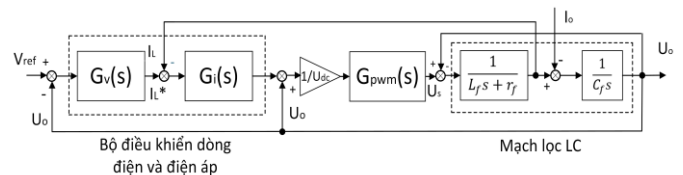
Ta có hệ phương trình không gian trạng thái mô tả bộ biến đổi nghịch lưu vòng hở:

$$\begin{cases} \frac{U_s - U_o}{L_r s + r_f} = i_L \\ i_L - i_o = i_C \\ i_C \frac{1}{C_f s} = U_o \end{cases} \quad (1)$$

Hàm truyền:

$$G_{pwm}(s) = \frac{U_s(s)}{m(s)} = U_{dc} \quad (2)$$

2.2 Cấu trúc điều khiển vòng kín



Hình 3: Mô tả toán học điều khiển vòng kín.

Cấu trúc điều khiển vòng kín được sử dụng gồm 2 vòng điều khiển, cụ thể:

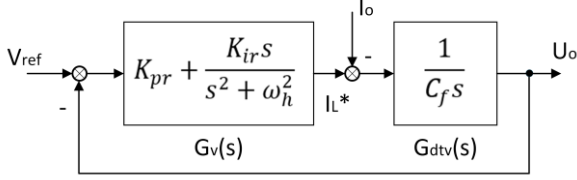
Vòng ngoài: Điều khiển điện áp, so sánh điện áp ra V_o với giá trị đặt V_{ref} . Sai số đưa vào bộ điều khiển điện áp $G_v(s)$ để tạo ra dòng điện tham chiếu $I_L^*(s)$.

Ta xét hàm truyền đối tượng mạch vòng điện áp:

$$G_{dvt} = \frac{1}{C_f s} \quad (3)$$

Ta có mối quan hệ hàm truyền đạt:

$$U_c(s) = \frac{G_v(s) \cdot G_{dvt}(s)}{1 + G_v(s) \cdot G_{dvt}(s)} V_{ref}(s) - \frac{G_{dvt}(s)}{1 + G_v(s) \cdot G_{dvt}(s)} I_o(s) \quad (4)$$



Hình 4: Mô tả toán học mạch vòng điện áp.

Bộ điều khiển PR (Proportional-Resonant) lý tưởng để bám điện áp hình sin ở tần số 50 Hz mà không có sai số xác lập, có phương trình:

$$G_v(s) = K_{pr} + \frac{K_{ir}s}{s^2 + \omega_h^2} \quad (5)$$

$$\rightarrow |G_v(j\omega)| = \frac{\sqrt{K_{pr}^2(\omega_h^2 - \omega^2)^2 + K_{ir}^2}}{\omega_h^2 - \omega^2} \quad (6)$$

$$A_c = \angle G_v(j\omega) = \arctan \left[\frac{K_{ir}\omega}{K_{pr}(\omega_h^2 - \omega^2)} \right] \quad (7)$$

Lựa chọn tần số cắt $f_{cv} = 500 \text{ Hz}$

$$A_c = PM - (\angle G_{dvt}(s))|_{s=j\omega_{cv}} + 180^\circ \quad (8)$$

Với PM là độ dự trữ pha mong muốn.

Ta sẽ tính được tham số bộ điều khiển theo hệ phương trình dưới đây:

$$\begin{cases} K_{pr} = \frac{1}{|G_{dvt}(j\omega_{cv})| \cdot \sqrt{1 + \tan^2(A_c)}} \\ K_{ir} = \frac{\tan(A_c) \cdot K_{pr} \cdot (\omega_h^2 - \omega_{cv}^2)}{\omega_{cv}} \end{cases} \quad (9)$$

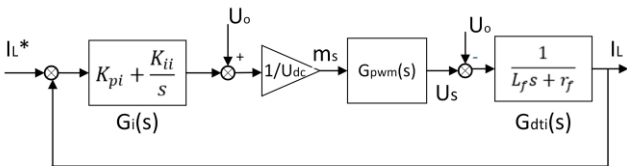
Vòng trong: Điều khiển dòng điện, mạch vòng dòng điện dùng cấu trúc điều khiển truyền thẳng bù trước (tín hiệu điện áp V_o được thêm vào để loại bỏ nhiễu tần số cộng hưởng). Bộ điều khiển sử dụng ở đây là bộ điều khiển PI.

Ta có hàm truyền đối tượng:

$$G_{dti} = \frac{1}{r_f + L_f s} \quad (10)$$

Ta tính được mối quan hệ hàm truyền đạt:

$$I_L(s) = \frac{G_i(s) \cdot G_{dti}(s)}{1 + G_i(s) \cdot G_{dti}(s)} I_L^*(s) \quad (11)$$



Hình 5: Mô tả toán học mạch vòng dòng điện.

Phương trình bộ PI:

$$G_i(s) = K_{pi} + \frac{K_{ii}}{s} \quad (12)$$

$$\rightarrow |G_i(j\omega)| = \sqrt{K_{pi}^2 + \frac{K_{ii}^2}{\omega}} \quad (13)$$

$$\tan(A_c) = \tan(\angle G_i(j\omega)) = -\frac{K_{ii}}{\omega K_{pi}} \quad (14)$$

Lựa chọn tần số cắt: $f_{ci} = 1800 \text{ Hz}$

$$\tan(A_c) = PM - (\angle G_i(s))|_{s=j\omega_{ci}} + 180^\circ \quad (15)$$

Với PM là độ dự trữ pha mong muốn.

Ta sẽ tính được tham số bộ điều khiển theo hệ phương trình dưới đây:

$$\begin{cases} K_{pi} = \frac{1}{|G_{dti}(j\omega_{ci})| \cdot \sqrt{1 + \tan^2(A_c)}} \\ K_{ii} = -\omega_{ci} \cdot K_{pi} \cdot \tan(A_c) \end{cases} \quad (16)$$

3. Cấu trúc điều khiển trên miền rời rạc

Khác biệt cốt lõi giữa điều khiển số và điều khiển liên tục nằm ở cách tín hiệu được xử lý và sinh ra trong hệ thống. Trong điều khiển liên tục, tín hiệu điều khiển được xử lý và tác động trực tiếp theo thời gian thực dưới dạng tín hiệu tương tự (analog), không qua khâu lượng tử hóa. Ngược lại, điều khiển số cần có khối chuyển đổi ADC (Analog-to-Digital Converter) để lấy mẫu và số hóa tín hiệu analog đầu vào, và sau khi xử lý, kết quả được đưa ra dưới dạng tín hiệu rời rạc thông qua bộ phát xung PWM số. Chính hai khâu chuyển đổi ADC và phát xung PWM số này đã tạo nên độ trễ và ràng buộc về thời gian trong điều khiển số, nhưng cũng đồng thời cho phép thực hiện các thuật toán điều khiển phức tạp mà điều khiển liên tục khó có thể đáp ứng.

3.1 Khâu chuyển đổi ADC

Trong các hệ thống điều khiển số, độ trễ do quá trình lấy mẫu và xử lý tín hiệu là một yếu tố quan trọng ảnh hưởng đến hiệu năng vòng điều khiển. Thời gian lấy mẫu t_d được định nghĩa là khoảng thời gian từ khi tín hiệu tương tự được đưa vào bộ chuyển đổi A/D (ADC) cho đến khi giá trị số tương ứng sẵn sàng để xử lý trong bộ điều khiển. Khoảng thời gian này, cùng với các bước xử lý kế tiếp, góp phần tạo nên tổng độ trễ của hệ thống. Cụ thể đối với vi điều khiển TMS320F2837xS, thời gian chuyển đổi ADC được tính theo công thức [10]:

$$T_{ADC} = 11 \cdot T_{ADCCLK} = 0.275 \mu s \quad (17)$$

trong đó $T_{ADCCLK} = \frac{1}{40000000}$ là chu kỳ clock của module ADC

bên trong vi điều khiển.

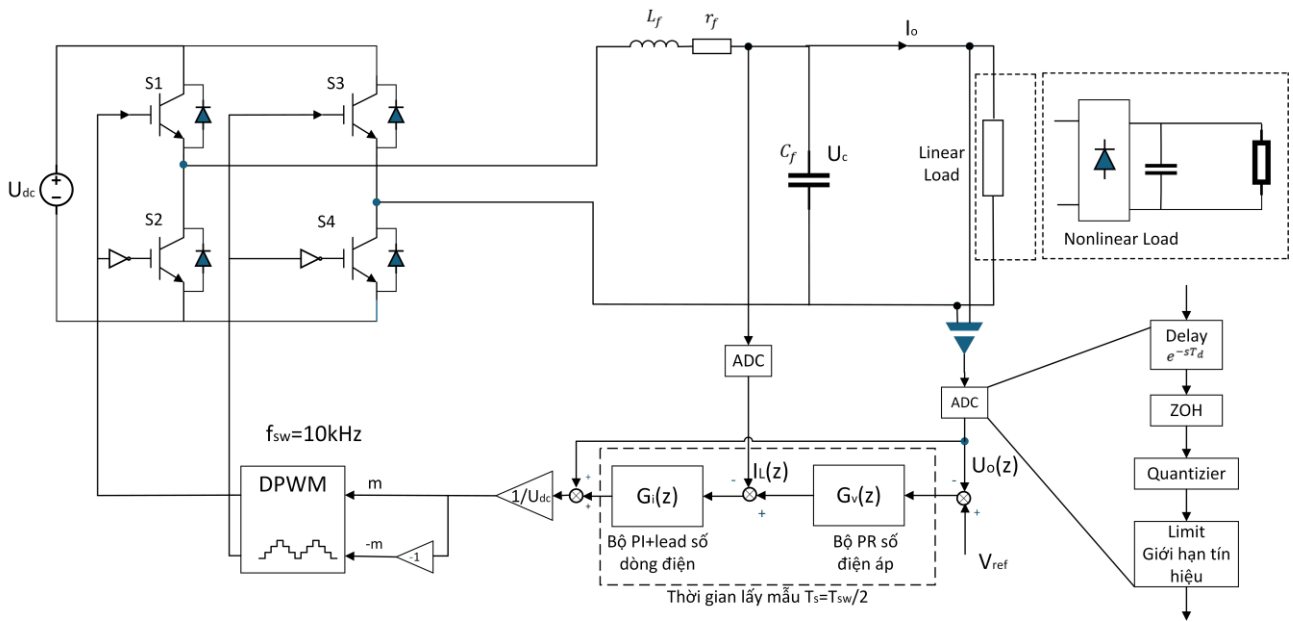
Ngoài ra, độ phân giải của bộ chuyển đổi ADC cũng quyết định độ chi tiết của phép đo. Với độ phân giải $n_{A/D} = 12$ bit, dải đo tín hiệu từ 0 đến $V_{FS} = 3,3 \text{ V}$, độ lớn của mỗi mức lượng tử (quantization level) được xác định bởi:

$$q_{A/D}^{ys} = \frac{V_{FS}}{2^{n_{A/D}}} = 0.0008 \text{ V} \quad (18)$$

Giá trị lượng tử nhỏ giúp tăng độ chính xác trong việc số hóa tín hiệu đầu vào, tuy nhiên vẫn không tránh khỏi việc gây ra

trễ và nhiễu lượng tử, đặc biệt khi tín hiệu có biên độ nhỏ hoặc thay đổi nhanh. Do đó, trong thiết kế các bộ điều khiển số, cần tính toán kỹ lưỡng tổng thời gian từ lúc lấy mẫu cho đến khi

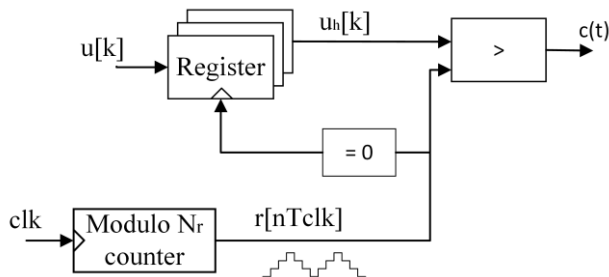
cập nhật đầu ra PWM để đảm bảo hệ thống duy trì ổn định và phản hồi nhanh.



Hình 6: Cấu trúc điều khiển rời rạc.

3.2 Khâu phát xung PWM số

Phát xung PWM số được thực hiện trên các bộ vi điều khiển hiện đại, nguyên lý hoạt động có sự khác biệt rõ rệt. Tín hiệu không còn được xử lý dưới dạng liên tục mà thay vào đó là các giá trị rời rạc theo từng chu kỳ lấy mẫu. Quá trình so sánh biên độ giữa sóng mang và tín hiệu điều chế chỉ được thực hiện tại các thời điểm nhất định, do đó tín hiệu điều khiển được cập nhật theo từng bước thời gian nhất định chứ không tức thời như ở hệ thống tương tự.



Hình 7: Mô hình hóa xung PWM số trong vi điều khiển.

Theo hình 7, Bộ đếm N_r (Modulo- N_r counter) là một bộ đếm tuyến tính chạy với xung nhịp CLK, tạo ra một chuỗi rặng cửa $r[nT_{clk}]$ lặp lại sau mỗi N_r bước.

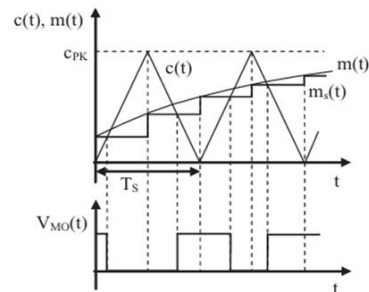
Mỗi xung bậc thang đếm lên tương ứng với 1 đơn vị. Thời gian thực hiện là $1/EPWMCLK$, Với EPWMCLK là nguồn clock chính điều khiển bộ đếm trong mô-đun ePWM. Với vi điều khiển F28377S đang dùng, ta có EPWMCLK = 100MHz. Từ đây ta có thể cài đặt chu kỳ (PRD) của các kênh PWM để tạo ra tần số sóng mang mong muốn.

Tín hiệu điều chế đầu vào rời rạc $u[k]$ được lượng tử hóa và giữ bởi thanh ghi (Register), trở thành giá trị $u_h[k]$. Đây là mức duty-cycle mong muốn tại thời điểm kT_s .

Tại mỗi bước clock nT_{clk} , bộ so sánh thực hiện kiểm tra điều kiện:

$$r[nT_{clk}] < u_h[k] \tag{19}$$

Nếu điều kiện thỏa mãn, ngõ ra PWM $c(t)$ được đặt mức HIGH (1); nếu không, ngõ ra là LOW (0).



Hình 8: Chế độ PWM cập nhật kép.

Trong hệ thống ePWM của vi điều khiển F28377S, giá trị điều chế rời rạc $u[k]$ sau khi được lượng tử hóa thành $u_h[k]$ sẽ được lưu trữ trong một thanh ghi chuyên dụng. Tuy nhiên, giá trị này không được so sánh ngay lập tức mà sẽ chỉ được tải vào bộ so sánh tại các thời điểm cụ thể trong chu kỳ đếm của bộ đếm N_r . Có hai cơ chế phổ biến để cập nhật giá trị $u_h[k]$ vào bộ so sánh: cập nhật đơn và cập nhật kép. Cụ thể trong nghiên cứu này, ta sử dụng chế độ cập nhật kép có mô hình tín hiệu nhỏ hàm truyền khâu PWM số có dạng [11][12]:

$$G_{PWM}(j\omega) = \frac{1}{2c_{pk}} \left(e^{-\frac{sDT_s}{2}} + e^{\frac{s(1-D)T_s}{2}} \right) \tag{20}$$

$$\arg(G_{PWM}(j\omega)) = -\frac{\omega T_{sw}}{4} \tag{21}$$

Nghiên cứu này ta sử dụng điều chế PWM cập nhật kép [13]. Trong khối ePWM trên Matlab mà nhóm đang sử dụng, sử dụng chế độ đếm lên xuống (Up - Down mode), chế độ cập

nhập kép. Tức là ta có thể cho tín hiệu điều chế đầu ra của bộ điều khiển dòng $f_s = 2f_{sw}$. Điều này phục vụ cho ta khi rời rạc hóa bộ điều khiển theo toán tử Tustin với $T_s = 1/(2f_{sw})$. Kết hợp với [13], ta có mối quan hệ về trễ của PWM:

$$T_{pwm} = \frac{T_{sw}}{4} = \frac{T_s}{2} \quad (22)$$

Khi đó khâu PWM sẽ được sấp xỉ như một khâu trễ theo Pade bậc nhất trong chế độ này thời gian trễ của PWM là $T_{sw}/4$:

$$PWM(s) = \frac{1 - s \frac{T_{sw}}{8}}{1 + s \frac{T_{sw}}{8}} \quad (23)$$

3.3 Độ trễ vòng điều khiển

Trong các hệ thống điều khiển số, độ trễ vòng điều khiển là một yếu tố quan trọng ảnh hưởng trực tiếp đến hiệu suất và độ ổn định của hệ thống. Độ trễ này không chỉ là khoảng thời gian cần thiết để tín hiệu đi từ cảm biến qua bộ điều khiển đến phần tử chấp hành, mà còn bao gồm thời gian xử lý tín hiệu số, thời gian lấy mẫu và cập nhật điều khiển. Mỗi bước trong chu trình điều khiển, từ việc chuyển đổi tín hiệu tương tự sang số (ADC), thực hiện các phép tính điều khiển, đến việc phát lệnh điều khiển qua PWM đều góp phần vào tổng độ trễ, được tính theo công thức sau [12]:

$$T_{delay} = T_{d,control} + T_{d,sensor} + T_{d,PWM} + T_{d,trans} \quad (24)$$

Với cấu hình hiện tại, ta có:

- Trễ cảm biến $T_{d,sensor}$ có thể bỏ qua.
- Trễ chuyển mạch $T_{d,trans}$ có thể bỏ qua.
- Trễ PWM: $T_{d,PWM} = \frac{T_{sw}}{4} = \frac{T_s}{2}$
- Trễ điều khiển $T_{d,control}$ tiếp tục được tính thông qua các thành phần:

$$T_{d,control} = T_{acq} + T_{pr} + T_{wr} + T_{cy} \quad (25)$$

T_{acq} : trễ lấy mẫu và dữ liệu của CPU.

T_{pr} : thời gian xử lý của CPU.

T_{wr} : thời gian viết dữ liệu từ CPU đến vi điều khiển.

T_{cy} : độ trễ giữa thời gian vi điều khiển nhận duty cycle đến thời điểm cập nhật duty cycle.

Ta thấy $T_{d,control} = T_s$, tức là tín hiệu điều chế tính toán ở chu kỳ thứ k sẽ được cập nhật ở chu kỳ k+1. Điều này không gây ảnh hưởng quá lớn đến hệ thống.

Tổng hợp lại, ta tính được:

$$T_{delay} = 1,5T_s = 0,75T_{sw} \quad (26)$$

Với $T_d = T_{delay}$, ta tiến hành xấp xỉ khâu trễ bằng Pade bậc nhất:

$$G_{delay} = \frac{1 - s \frac{T_d}{2}}{1 + s \frac{T_d}{2}} \quad (27)$$

3.4 Thiết kế bộ bù trễ

Đối với hệ thống điều khiển số, khi độ trễ trong vòng kín không thể loại bỏ hoàn toàn, một giải pháp phổ biến là sử dụng bộ bù trễ để giảm tác động tiêu cực của nó đến hiệu suất hệ thống. Bộ bù trễ (delay compensator) được thiết kế nhằm dự đoán trước ảnh hưởng của độ trễ và điều chỉnh đầu ra điều khiển sao cho phù hợp với trạng thái hệ thống tại thời điểm

thực thi. So với phương án đơn giản là giảm băng thông vòng điều khiển, điều này làm chậm tốc độ đáp ứng và giảm khả năng theo dõi tín hiệu tham chiếu, việc thêm bộ bù trễ cho phép duy trì tốc độ đáp ứng cao mà vẫn đảm bảo ổn định. Hàm truyền đối tượng mạch vòng dòng điện khi có thêm trễ:

$$G_{di,delay}(s) = G_{di}(s) \cdot G_{delay} \quad (28)$$

Ở đây, ta sử dụng bộ bù Lead vào bộ điều khiển dòng để bù độ trễ của vòng điều khiển dòng điện, có phương trình như sau:

$$R(s) = \frac{1 + \frac{s}{\omega_{cz1}}}{1 + \frac{s}{\omega_{cp1}}} \quad (29)$$

Góc pha bộ bù Lead đạt giá trị lớn nhất tại tần số:

$$f_{\varphi \max} = \sqrt{f_z \cdot f_p} \quad (30)$$

Ở đây ta sẽ lựa chọn $f_{\varphi \max} = f_{ci} = 1800 \text{ Hz}$, đảm bảo bù pha cho khâu PI dòng điện ở tần số cắt.

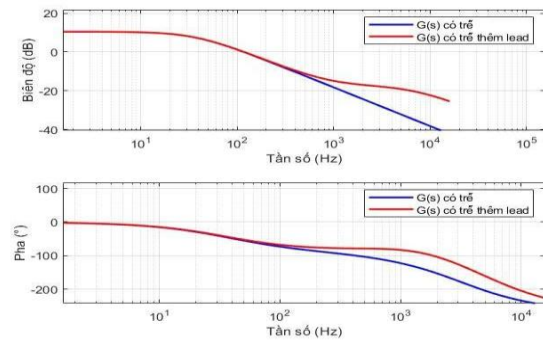
Góc pha bộ bù Lead được tính theo công thức:

$$\angle R(j\omega) \Big|_{\omega \max} = \arctan\left(\frac{\sqrt{\frac{f_p}{f_z}} - \sqrt{\frac{f_z}{f_p}}}{2}\right) \quad (31)$$

$$\rightarrow \frac{f_p}{f_z} = \frac{1 + \sin(\theta)}{1 - \sin(\theta)}, \text{ trong đó } \theta = \angle R(j\omega) \Big|_{\omega \max}$$

Lựa chọn $\theta = 50^\circ$ ta tính được tham số bộ bù Lead:

$$f_z = 839,3538, f_p = 3,8601 \cdot 10^3 \quad (32)$$



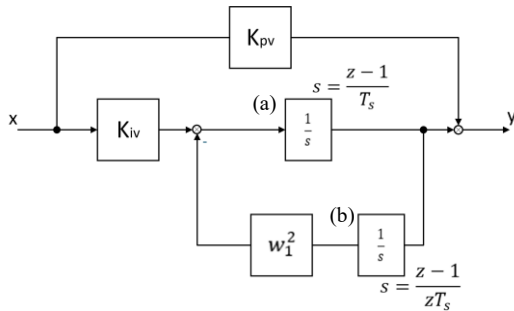
Hình 9: Đồ thị Bode của đối tượng trước khi thêm bộ Lead (đỏ) và sau khi thêm bộ Lead (xanh).

Như trên hình 10, tại tần số 1800 Hz , pha của hàm truyền bộ PI khi chưa có bộ bù trễ là $-142,06^\circ$, vượt quá độ dự trữ pha của bộ PI có thể bù (60°); sau khi có thêm bộ Lead pha của hàm truyền đã được cải thiện ($-92,06^\circ$) đảm bảo khả năng hoạt động ổn định cho bộ PI.

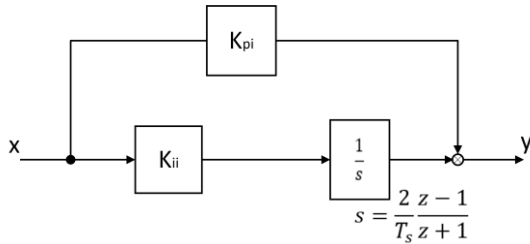
3.5 Rời rạc hóa bộ điều khiển

Trong hệ thống điều khiển số, việc rời rạc hóa các khâu điều khiển là một bước không thể thiếu nhằm hiện thực hóa thuật toán điều khiển trên nền tảng vi điều khiển hoặc DSP. Khác với điều khiển liên tục, nơi các tín hiệu và hàm truyền được mô tả bởi các biến liên tục theo thời gian, điều khiển số đòi hỏi mọi khâu trong sơ đồ phải được biểu diễn dưới dạng rời rạc, tương thích với quá trình xử lý mẫu tuần tự theo thời gian lấy mẫu xác định. Việc rời rạc hóa các khối điều khiển như PI, bộ bù, hay bộ lọc thường được thực hiện bằng các

phương pháp biến đổi miền thời gian như Euler tiến, Euler lùi, hoặc Tustin (bilinear transform). Mỗi phương pháp mang lại đặc tính tần số và độ chính xác khác nhau, do đó cần được lựa chọn phù hợp với yêu cầu ổn định và hiệu năng của hệ thống.



Hình 10: Rời rạc hóa bộ điều khiển PR



Hình 11: Rời rạc hóa bộ điều khiển PI

Hình 10 là sơ đồ rời rạc bộ điều khiển PR với khối tích phân (a) được rời rạc theo Forward Euler, bởi Forward Euler có xu hướng dẫn pha (phase lead), nên dùng cho nhánh tỉ lệ - tích phân để phản ứng nhanh. Còn khối tích phân (b) được rời rạc theo Backward Euler, do Backward Euler có xu hướng trễ pha (phase lag) nên ổn định hơn, phù hợp dùng trong phần cộng hưởng có dao động. Việc rời rạc theo 2 cách khác nhau này góp phần tối ưu thời lượng tính toán của DSP, đồng thời vẫn giữ được mắt cộng hưởng.

Phương trình sai phân bộ PR:

$$y_k = b_1 y_{k-1} + b_2 u_{k-2} + b_3 u_k + b_4 u_{k-1} + b_5 u_{k-2} \quad (33)$$

trong đó, u_k là sai số thời điểm thứ k , y_k là đầu ra tại thời điểm thứ k , các hệ số lần lượt là:

$$\begin{cases} b_1 = 2 - (\omega_h T_s)^2 \\ b_2 = -1 \\ b_3 = K_{pr} \\ b_4 = K_{ir} T_s + K_{pr} ((\omega_h T_s)^2 - 2) \\ b_5 = K_{pr} - K_{ir} T_s \end{cases} \quad (34)$$

Hình 11 là sơ đồ rời rạc bộ điều khiển PI theo phương pháp rời rạc Tustin, là phương pháp rời rạc hóa có độ chính xác cao nhất.

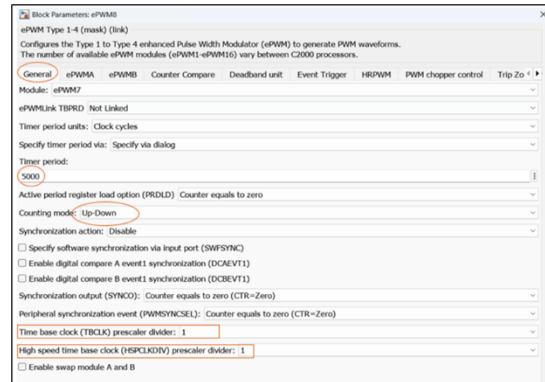
4. Triển khai Model-Based Design

Trong phương pháp Model-Based Design, quy trình triển khai điều khiển số được thực hiện qua các bước rõ ràng và logic. Trước tiên là thiết lập khối ePWM trên Matlab/Simulink để tạo xung điều khiển có tần số và chế độ hoạt động phù hợp. Tiếp theo là cấu hình đồng bộ ADC với PWM nhằm đảm bảo tín hiệu lấy mẫu chính xác tại thời điểm thích hợp trong mỗi chu kỳ điều khiển. Sau đó, các khâu điều khiển được rời rạc hóa bằng khối C Function để phù hợp với

hệ rời rạc và phục vụ sinh mã C chuẩn. Cuối cùng, toàn bộ mô hình điều khiển được xây dựng đồng bộ trên Simulink, cho phép mô phỏng nhanh chóng và xuất mã tự động sang vi điều khiển thông qua công cụ Embedded Coder.

4.1 Thiết lập khối ePWM

Với khối ePWM, ta có các yêu cầu cơ bản thiết lập về xung PWM mong muốn. Cụ thể, ta cần thiết lập tần số sóng tam giác, dạng xung tam giác, thiết lập hoạt động của 2 cặp van đối nhau, lựa chọn chế độ PWM cập nhật kép và thời gian chết (dead-time) giữa 2 cặp van.



Hình 12: Cửa sổ General của ePWM

Ở mục General, lựa chọn Module ePWM7. Tần số đóng cắt f_{sw} được tính theo công thức sau:

$$f_{sw} = \frac{EPWMCLK}{2 \cdot (Timer\ period) \cdot TBCLK \cdot HSPCLKDIV} \quad (35)$$

Lựa chọn $f_{sw} = 10\text{ kHz}$, ta thiết lập Timer period = 5000.

Tiếp tục sang mục ePWMA và ePWMB, cài đặt 2 van đối nhau theo điều chế đơn cực. Để thiết lập tín hiệu PWM phục vụ điều chế đơn cực trong Simulink, trước tiên cần bật hai kênh ePWMxA và ePWMxB trong khối ePWM. Kênh ePWMxA được cấu hình sao cho khi bộ đếm tăng đến giá trị CMPA thì tín hiệu được đưa xuống mức thấp (Clear), và khi đếm giảm đến CMPA thì được đưa lên mức cao (Set). Các sự kiện khác như CMPB, PRD, ZERO được giữ nguyên ở chế độ không tác động (Do nothing). Đối với ePWMxB, chỉ cần chọn tùy chọn "Inverted version of ePWMxA" để tạo ra tín hiệu đảo pha với kênh A, giúp hình thành cặp xung đơn cực. Việc thiết lập này tạo nên tăng cho việc phát xung điều khiển chính xác, phục vụ cho bộ nghịch lưu nguồn áp.

Để thiết lập chế độ cập nhật kép, trong phần thiết lập so sánh (Counter Compare) cho khối ePWM trong Simulink, giá trị so sánh CMPA được đưa từ cổng ngoài (Input port) để cho phép thay đổi độ rộng xung theo thời gian thực. CMPA được tính theo đơn vị chu kỳ xung clock, và được nạp vào thanh ghi tại hai thời điểm trong mỗi chu kỳ sóng mang: khi bộ đếm đạt giá trị bằng 0 hoặc bằng với giá trị đỉnh (PRD). Điều này được cấu hình bằng tùy chọn "Counter equals to zero or period (CTR=Zero or CTR=PRD)", cho phép cập nhật xung PWM ở cả hai sườn của sóng mang. Thiết lập này phù hợp với yêu cầu của chế độ điều chế cập nhật kép, giúp cải thiện độ chính xác của điều khiển trong các ứng dụng yêu cầu phản hồi nhanh. Cuối cùng, ta cấu hình thời gian chết (dead-time) trong khối Deadband unit của ePWM trên Simulink. Trong cấu hình này, dead-time được áp dụng cho cả cạnh lên (rising edge - RED) và cạnh xuống (falling edge - FED) của tín hiệu PWM với

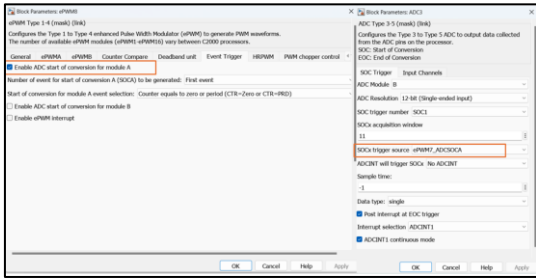
cùng giá trị là 30 đơn vị clock, cụ thể thời gian chết (dead-time) được tính:

$$deadtime = DeadbandRE \cdot \frac{1}{EPWMCLK} = 300 \text{ ns} \quad (36)$$

Chế độ hoạt động là "Active high complementary (AHC)", cho phép tạo cặp tín hiệu đối xứng điều khiển hai van. Thời gian dead-time được nạp trực tiếp vào thanh ghi, không thông qua bộ đếm shadow, đảm bảo cập nhật ngay khi có thay đổi. Thiết lập này đặc biệt quan trọng để bảo vệ các linh kiện bán dẫn công suất trong mạch nghịch lưu hoạt động ở tần số cao.

4.2 Đồng bộ hóa ADC theo PWM

Trong hệ điều khiển số dùng vi điều khiển C2000, việc đồng bộ ADC với PWM là yếu tố then chốt để đảm bảo lấy mẫu chính xác và giảm nhiễu do chuyển mạch. Một cách phổ biến là dùng tín hiệu SOC từ ePWM (ví dụ ePWM8) để kích hoạt ADC tại các thời điểm xác định như khi bộ đếm bằng 0 hoặc đạt giá trị PRD.



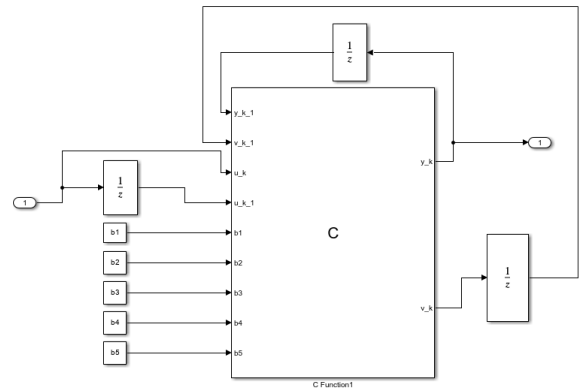
Hình 13: Cửa sổ thiết lập ADC và PWM đồng bộ hóa

Trong cửa sổ cấu hình ePWM, người dùng chọn "Enable ADC start of conversion for module A" để bật tín hiệu SOC-A, đồng thời chọn thời điểm kích hoạt là "First event" và chọn sự kiện PWM cụ thể. Sau đó, trong khối cấu hình ADC (ví dụ như ADC3), người dùng thiết lập SOCx trigger source là tín

hiệu SOC được phát ra từ ePWM tương ứng, trong trường hợp này là ePWM7_ADCSOCA. Điều này giúp ADC bắt đầu quá trình lấy mẫu ngay sau khi ePWM tạo ra sự kiện SOC, từ đó đảm bảo việc lấy mẫu tín hiệu dòng hoặc áp ngay tại thời điểm định sẵn trong chu kỳ PWM.

4.3 Rời rạc hóa bộ điều khiển bằng C-function

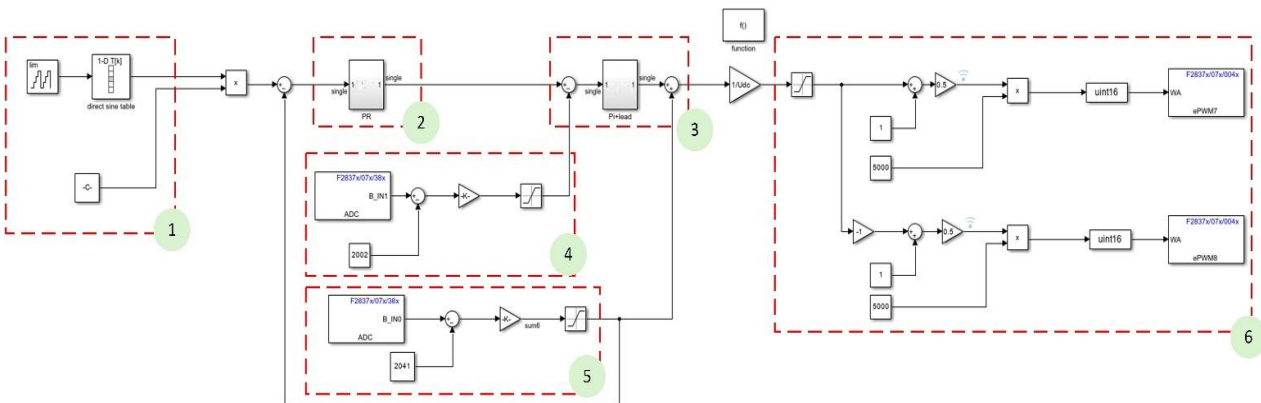
Trong các hệ thống yêu cầu tính linh hoạt cao và khả năng kiểm soát chi tiết quá trình tính toán, việc chuyển sang sử dụng khối C Function mang lại nhiều lợi thế đáng kể. Bằng cách tự lập trình trực tiếp thuật toán rời rạc dưới dạng mã C, người thiết kế có thể chủ động xác định chính xác cấu trúc toán học của bộ điều khiển, áp dụng các phương pháp rời rạc hóa mong muốn như Tustin, Euler tiến hoặc Euler lùi, và tối ưu hóa quá trình thực thi phù hợp với kiến trúc phần cứng cụ thể của vi điều khiển.



Hình 14: Hình ảnh rời rạc bộ điều khiển bằng khối C-function.

Ví dụ, với bộ điều khiển PR ở trên được rời rạc hóa, ta có phương trình rời rạc bộ điều khiển:

$$y_k = b_1 y_{k-1} + b_2 u_{k-2} + b_3 u_k + b_4 u_{k-1} + b_5 u_{k-2} \quad (37)$$



Hình 15: Sơ đồ thực nghiệm trên Matlab.

Tại đây, phương trình rời rạc (37) được chia thành 2 thành phần: thành phần $b_3 u_k$ được tính toán ở chu kỳ thứ k của DSP và thành phần $v_k = b_1 y_k + b_2 u_{k-1} + b_3 u_k + b_4 u_k + b_5 u_{k-1}$ có thể tính toán ở chu kỳ thứ k-1 của DSP. Từ đó phương trình rời rạc (37) trở thành:

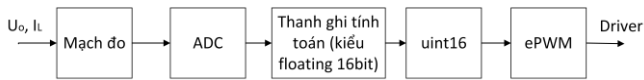
$$\begin{cases} y_k = b_3 u_k + v_{k-1} \\ v_k = b_1 y_k + b_2 u_{k-1} + b_4 u_k + b_5 u_{k-1} \end{cases} \quad (38)$$

Việc phân chia 2 thành phần tính toán này sẽ tối ưu thời gian tính toán, hạn chế lỗi ở quá trình tính toán của DSP.

4.4 Chuẩn hóa dữ liệu

Sơ đồ hình 16 mô tả quy trình chuẩn hóa dữ liệu trong hệ điều khiển số, bắt đầu từ tín hiệu điện áp hoặc dòng điện thu được từ cảm biến. Tín hiệu này sau đó được đưa qua mạch đo để chuyển đổi về mức điện áp phù hợp với dải đo của ADC (0–3.3V). Bộ chuyển đổi ADC tiếp tục số hóa tín hiệu thành dữ liệu 12 bit ở dạng số nguyên (uint12), sau đó được xử lý bởi bộ tính toán sử dụng định dạng số thực 16 bit (floating

16 bit). Sau bước xử lý, tín hiệu được chuyển về dạng số nguyên không dấu 16 bit (uint16) để phù hợp với ngõ vào điều khiển của khối phát xung ePWM, từ đó tạo ra tín hiệu PWM số với mức điện áp tương ứng từ 0 đến 3.3V. Quy trình này giúp đảm bảo độ chính xác, tương thích dữ liệu và hiệu quả trong toàn bộ chuỗi xử lý tín hiệu điều khiển.



Hình 16: Sơ đồ chuẩn hóa dữ liệu.

4.5 Xây dựng sơ đồ tổng thể trên Matlab

Hình 15 thể hiện quy trình triển khai điều khiển số dựa trên phương pháp Model-Based Design. Khi nhận tín hiệu ngắt từ ADC, tức là sau mỗi lần lấy mẫu tín hiệu điện áp và dòng điện, bộ điều khiển sẽ lập tức khởi động việc tính toán các giá trị điều chế mới cho PWM. Việc sử dụng ngắt tại đúng thời điểm giúp đảm bảo hệ thống vận hành theo thời gian thực với độ trễ tối thiểu và đồng bộ chặt chẽ giữa phần đo lường và điều khiển. Sau tín hiệu ngắt, dựa theo khối tín hiệu V_{ref} (1) được thiết lập từ trước, các tín hiệu điện áp (4) và dòng điện (5) phản hồi từ cảm biến được xử lý qua hai khối điều khiển: vòng điều khiển điện áp ngoài (BDK điện áp (2)) và vòng điều khiển dòng điện bên trong (BDK dòng điện (3)), tương ứng với cấu trúc điều khiển hai vòng điện hình trong hệ nghịch lưu. Kết quả điều khiển cuối cùng là hệ số điều chế m_s được đưa vào khối điều chế xung PWM đơn cực (6), nơi so sánh với sóng mang để sinh ra xung điều khiển các van bán dẫn.

Tổng thể hệ thống cho thấy khả năng tích hợp cao giữa các khối xử lý trong Simulink, từ khâu đo lường, xử lý, điều khiển, phát xung PWM, và được lập trình hoàn toàn tự động nhờ kỹ thuật sinh mã C từ mô hình Simulink, giúp rút ngắn đáng kể thời gian phát triển, tăng tính chính xác và giảm thiểu lỗi khi triển khai trên vi điều khiển.

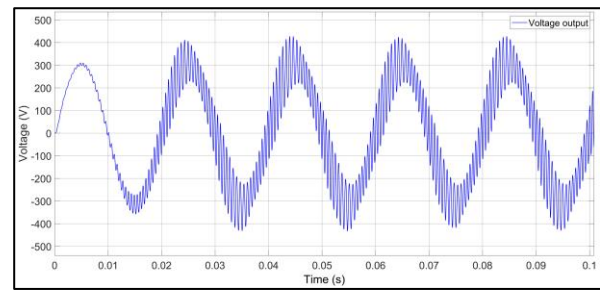
5. Kết quả mô phỏng

Ta thực hiện đánh giá sơ đồ mô phỏng trước và sau khi có bộ bù Lead để thấy được hiệu quả bù trễ. Trước khi có bộ bù Lead, điện áp đầu ra không ổn định, chất lượng điện áp không đạt tiêu chuẩn (THD = 7.5% > 3%). Sau khi có bộ bù Lead, điện áp đầu ra đã bám theo điện áp đặt, chất lượng điện áp đạt tiêu chuẩn đề ra (THD = 0.12% < 3%).

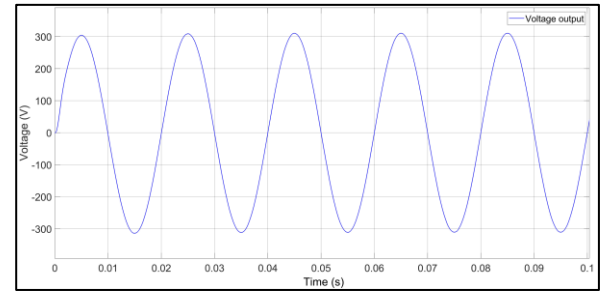
Để đánh giá hiệu quả của hệ thống nghịch lưu nguồn áp 1 pha trong môi trường mô phỏng, một loạt các kịch bản đã được xây dựng trên nền tảng MATLAB/Simulink, dựa theo các tiêu chuẩn kỹ thuật trình bày ở Bảng 1.

Bảng 1: Bảng tiêu chuẩn đánh giá kết quả mô phỏng và kết quả thực nghiệm.

Tải tuyến tính	THD < 3%
Tải phi tuyến	THD < 5%
Sụt áp do thay đổi tải	±6%, phục hồi sau 5ms
Thời gian t_{rise}	5 ms
Sai số điện áp hiệu dụng	< 1%

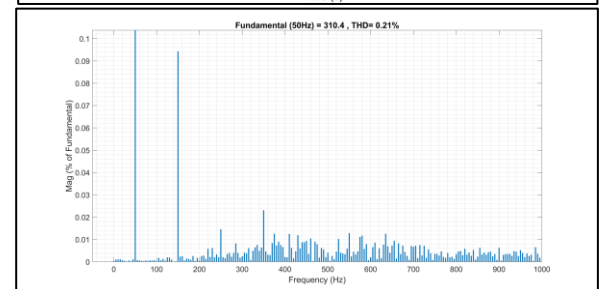
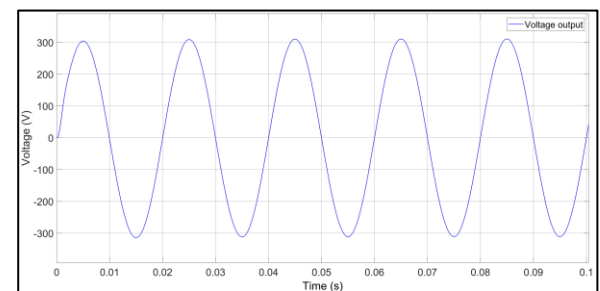


(a)



(b)

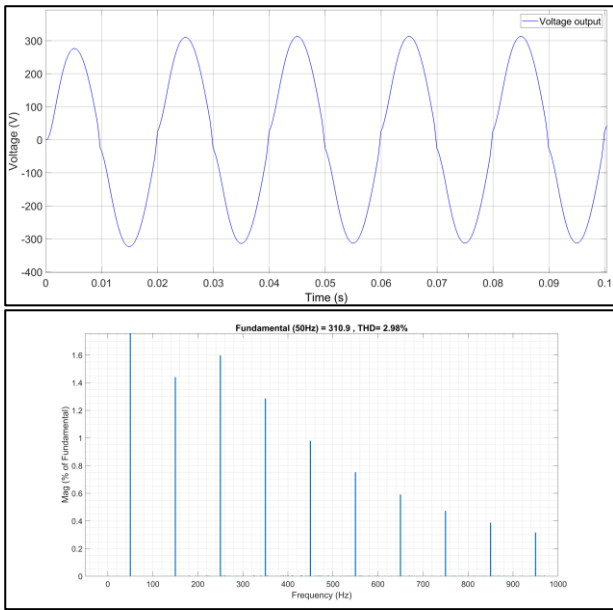
Hình 17: Kết quả mô phỏng trước khi có bộ bù Lead (a) và sau khi có bộ bù Lead (b).



Hình 18: Kết quả mô phỏng với tải RL tuyến tính.

Các kịch bản này được thiết kế nhằm kiểm tra khả năng điều khiển và chất lượng điện áp đầu ra của hệ thống khi đối mặt với các tình huống tải khác nhau. Các kịch bản mô phỏng này đóng vai trò như một phép thử toàn diện để kiểm chứng tính ổn định, độ chính xác và chất lượng điều khiển của hệ thống trước khi triển khai thực nghiệm thực tế.

Hình 18 trình bày kết quả mô phỏng khi mạch hoạt động với tải RL, cụ thể $R = 100\Omega$, $L = 4mH$ đảm bảo đúng hệ số công suất 0.85. Với giá trị điện áp DC đầu vào là 400 V, đầu ra điện áp xoay chiều hiệu dụng 219.5 V. Kết quả mô phỏng cho ra điện áp hiệu dụng ở trạng thái ổn định là 220V, sai số so với giá trị V_{ref} là 0.23%. Bảng phân tích THD cho ra THD = 0.21% < 3%, thời gian $t_{rise} = 0.3ms$, các tiêu chuẩn mô phỏng đã đúng hoàn toàn so với tiêu chuẩn đề ra.



Hình 19: Kết quả mô phỏng với tải phi tuyến.

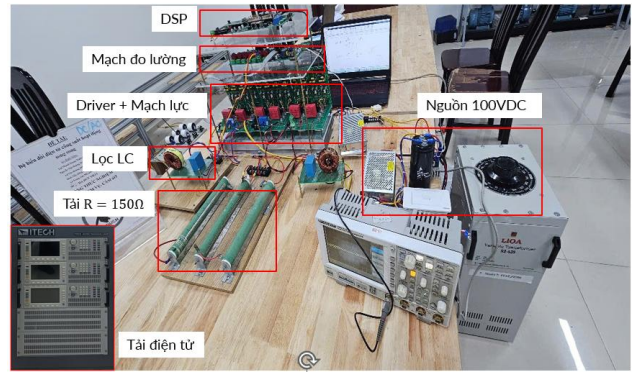
Hình 19 trình bày kết quả mô phỏng khi mạch hoạt động với tải phi tuyến, cụ thể là cầu chỉnh lưu diode nối tiếp tải RC, có giá trị $R = 100\Omega, C = 40\mu F$. Với giá trị điện áp DC đầu vào là 400 V, đầu ra điện áp xoay chiều hiệu dụng 220 V. Kết quả mô phỏng cho ra điện áp hiệu dụng ở trạng thái ổn định là 219.8 V, sai số so với giá trị V_{ref} là 0.08%. Bảng phân tích THD cho ra $THD = 2.98\% < 5\%$, thời gian $t_{rise} = 0.3ms$; như vậy, các tiêu chuẩn mô phỏng đã đúng hoàn toàn so với tiêu chuẩn đề ra.

Từ 2 kịch bản mô phỏng đã thực hiện, có thể nhận thấy hệ thống nghịch lưu nguồn áp một pha được thiết kế đáp ứng tốt các tiêu chuẩn kỹ thuật đề ra. Các chỉ tiêu về độ méo hài tổng, khả năng phục hồi điện áp sau khi thay đổi tải, thời gian đáp ứng và sai số điện áp hiệu dụng đều nằm trong giới hạn cho phép. Điều này cho thấy bộ điều khiển được thiết kế hoạt động ổn định, hiệu quả và phù hợp cho các ứng dụng yêu cầu chất lượng điện áp cao. Để kiểm chứng chi tiết hơn về các tiêu chuẩn liên quan đến t_{rise} , sụt áp do thay đổi tải, ta sẽ tiến tới phần kết quả thực nghiệm.

6. Kết quả thực nghiệm

Mô hình thực nghiệm được xây dựng như hình 13 để kiểm chứng hoạt động của mạch nghịch lưu nguồn áp một pha đề xuất với thông số hoạt động như bảng 3. Vi điều khiển được sử dụng là TI F28377S để thực thi các bộ điều khiển và tạo xung PWM. Giá trị điện áp và dòng điện được đo bằng mạch đo lường và trả về DSP phục vụ điều khiển.

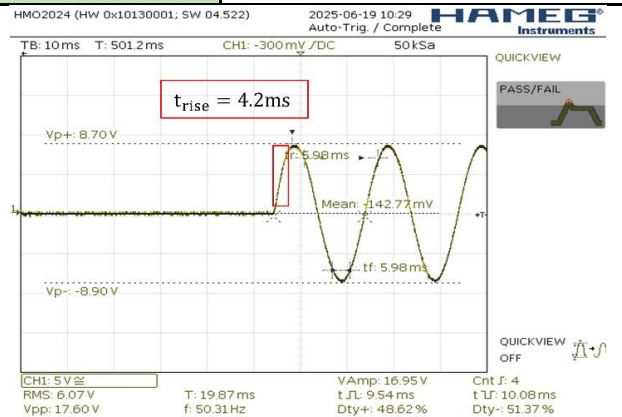
Hình 21 trình bày kết quả thực nghiệm khi mạch hoạt động với tải tuyến tính, cụ thể là $R = 100\Omega, L = 4mH$. Với giá trị điện áp DC đầu vào là 100 V, điện áp hiệu dụng 60V, điện áp đỉnh đầu ra $V_{peak} = 87V$, kịch bản thực nghiệm này tập trung đánh giá về t_{rise} , tức là khảo sát thời gian giá trị điện áp đi từ 10% - 90% V_{peak} . Kết quả thực nghiệm cho thấy thời gian $t_{rise} = 4.2 ms$, khoảng thời gian t_{rise} không xuất hiện hiện tượng vọt áp (Overshoot), cho thấy bộ điều khiển hoạt động tốt và đã đáp ứng được tiêu chuẩn đề ra.



Hình 20: Mô hình thực nghiệm

Bảng 2: Thông số thực nghiệm cấu hình đề xuất

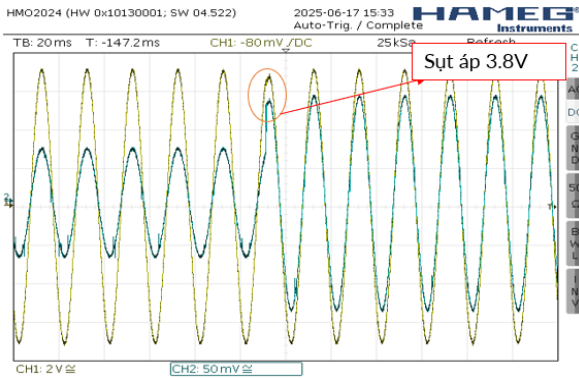
Điện áp vào U_{dc}	100V
Điện áp ra	50-60V
Tần số phát xung	10 kHz, điều chế đơn cực [14]
Tần số cơ bản	50 Hz
Tải R	100Ω
Tải L	4mH
Cuộn lọc	1,3mH [15] Lõi High Flux KDM KH250 [16]
Tụ lọc	20μF [15] Tụ Vishay Z905354106 75G 250V
Van IGBT [17]	SKM75GB176D 1700V 75A



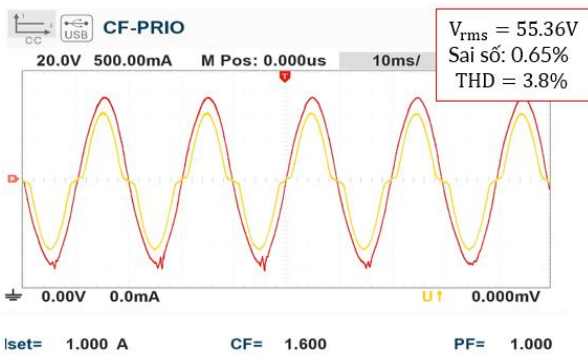
Hình 21: Kết quả thực nghiệm đánh giá t_{rise} (thời gian điện áp tăng từ 10% đến 90% điện áp đặt)

Hình 22 trình bày kết quả thực nghiệm khi mạch hoạt động với tải tuyến tính. Với giá trị điện áp DC đầu vào là 100 V, điện áp hiệu dụng 50V, có sự thay đổi nhỏ để kiểm tra đáp ứng của bộ điều khiển với các giá trị V_{ref} khác nhau. Giá trị điện áp đỉnh đầu ra $V_{peak} = 70,7 V$, kịch bản thực nghiệm này đánh giá về điện áp đầu ra khi thay đổi tải và THD tải tuyến tính, cụ thể ta sẽ thực hiện chạy với tải ban đầu $R = 100\Omega$, sau đó ngắt bớt tải xuống còn $R = 50\Omega$. Kết quả thực nghiệm cho thấy tại thời điểm ngắt bớt tải, điện áp đầu ra sụt 5.4%, thời gian phục hồi điện áp 5ms. Sau khi điện áp ổn định, giá trị

THD = 1.33% < 3%. Kết quả này cho thấy khả năng đáp ứng tốt của bộ điều khiển khi thực hiện thay đổi tải, thỏa mãn theo tiêu chuẩn đề ra.



Hình 22: Kết quả thực nghiệm đánh giá điện áp khi thực hiện thay đổi tải (Vàng: điện áp đầu ra; Xanh: dòng điện trên tải)



Hình 23: Kết quả thực nghiệm với tải phi tuyến điện tử

Hình 23 trình bày kết quả thực nghiệm khi mạch hoạt động với tải phi tuyến. Với giá trị điện áp DC đầu vào là 100 V, điện áp hiệu dụng 55V, điện áp đỉnh đầu ra $V_{peak} = 87 V$, kịch bản thực nghiệm này được thực hiện trên khối tải điện tử AC/DC ITECH IT8617, sử dụng với dải điện áp vào 50~420V, dòng tối đa 60A, công suất 5400W, với hệ số phi tuyến CF=1.6, hệ số công suất PF=1, dòng điện trên tải 1A. Kết quả thực nghiệm cho ra điện áp hiệu dụng ở trạng thái ổn định là 55.36V, sai số so với giá trị V_{ref} là 0.65%. Bảng phân tích cho thấy THD = 3.8% < 5%, thời gian $t_{rise} = 0.3 ms$, các kết quả mô phỏng đã đúng hoàn toàn so với tiêu chuẩn đề ra.

7. Kết luận

Bài báo này đưa ra một giải pháp thiết kế điều khiển số cho bộ nghịch lưu nguồn áp 1 pha đã được đề xuất và triển khai theo hướng tiếp cận Model-Based Design. Hệ thống điều khiển được xây dựng với các đặc điểm phù hợp cho ứng dụng thực tế, bao gồm việc rời rạc hóa bộ điều khiển, xử lý trễ vòng kín, và tối ưu hóa cấu trúc phần mềm điều khiển trên vi điều khiển dòng C2000. Kết quả mô phỏng đã cho thấy hệ thống có khả năng đáp ứng tốt các chỉ tiêu kỹ thuật như độ méo hài, thời gian phục hồi điện áp, và sai số điện áp đầu ra. Các kết quả mô phỏng và thực nghiệm đạt được cho thấy tính khả thi của phương pháp điều khiển số trong việc cải thiện hiệu năng và độ chính xác cho bộ nghịch lưu. Đồng thời, hướng tiếp cận này cũng mở ra tiềm năng ứng dụng rộng rãi trong các hệ thống công suất hiện đại, nơi yêu cầu cao về tính linh hoạt, tích hợp và khả năng mở rộng.

Lời cảm ơn

Nghiên cứu này được tài trợ bởi Đại học Bách khoa Hà Nội (HUST) trong đề tài mã số T2024-TĐ-012

Tài liệu tham khảo

- [1] S. Yang, F. Zhang, and Z. Qian, "DSP-based multiple-loop control strategy for UPS inverters with effective control delay elimination," vol. 23, pp. 84–91, Aug. 2008.
- [2] H. Deng, R. Oruganti, and D. Srinivasan, "PWM Methods to Handle Time Delay in Digital Control of a UPS Inverter," *Power Electronics Letters, IEEE*, vol. 3, pp. 1–6, Aug. 2005, doi: 10.1109/LPEL.2004.842402.
- [3] X. Wang, S. Wang, S. Wang, C. Yang, and X. Zhao, "A digital delay compensation method to improve the stability of LCL grid-connected inverters," *Energies (Basel)*, vol. 14, no. 9, May 2021, doi: 10.3390/en14092730.
- [4] M. Lu, X. Wang, P. C. Loh, F. Blaabjerg, and T. Dragicevic, "Graphical Evaluation of Time-Delay Compensation Techniques for Digitally Controlled Converters," *IEEE Trans Power Electron*, vol. 33, no. 3, pp. 2601–2614, Mar. 2018, doi: 10.1109/TPEL.2017.2691062.
- [5] C. Chen, J. Xiong, Z. Wan, J. Lei, and K. Zhang, "A Time Delay Compensation Method Based on Area Equivalence For Active Damping of an LCL-Type Converter," *IEEE Trans Power Electron*, vol. 32, no. 1, pp. 762–772, Jan. 2017, doi: 10.1109/TPEL.2016.2531183.
- [6] L. Yang and J. Yang, "A Robust Dual-Loop Current Control Method with a Delay-Compensation Control Link for LCL-Type Shunt Active Power Filters," *IEEE Trans Power Electron*, vol. PP, p. 1, Aug. 2018, doi: 10.1109/TPEL.2018.2865813.
- [7] J. Liu, L. Zhou, and M. Molinas, "Damping Region Extension for Digitally Controlled LCL-Type Grid-Connected Inverter with Capacitor-Current Feedback," *IET Power Electronics*, vol. 11, Aug. 2018, doi: 10.1049/iet-pel.2018.0039.
- [8] L. Wang, P. Sun, J. Wang, K. Zhu, T. Xue, and Y. Zhang, "A Delay Compensation Method to Improve the Current Control Performance of the LCL-Type Grid-Connected Inverter," in *2019 IEEE 10th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, IEEE, Jun. 2019, pp. 134–141. doi: 10.1109/PEDG.2019.8807701.
- [9] M. Semasa, T. Kato, and K. Inoue, "A simple and effective time delay compensation method for grid-connected inverter with an LCL filter: Application to active damping method," in *2017 IEEE 18th Workshop on Control and Modeling for Power Electronics (COMPEL)*, IEEE, Jul. 2017, pp. 1–7. doi: 10.1109/COMPEL.2017.8013385.
- [10] "TMS320F2837xS Real-Time Microcontrollers Technical Reference Manual," 2024. [Online]. Available: www.ti.com
- [11] L. Corradini, P. Mattavelli, E. Tedeschi, and D. Trevisan, "High-bandwidth multirate digitally controlled DC-DC converters using ripple compensation," *IEEE Transactions on Industrial Electronics*, vol. 55, no. 4, pp. 1501–1508, Apr. 2008, doi: 10.1109/TIE.2008.917144.
- [12] D. M. Van De Sype, K. De Gussemb, A. P. Van Den Bossche, and J. A. Melkebeek, "Small-Signal Laplace-Domain Analysis of Uniformly-Sampled Pulse-Width Modulators," 2004.
- [13] Z. Lin, X. Ruan, H. Zhang, and L. Wu, "A Generalized Real-Time Computation Method With Dual-Sampling Mode to Eliminate the Computation Delay in Digitally Controlled Inverters," *IEEE Trans Power Electron*, vol. 37, no. 5, pp. 5186–5195, May 2022, doi: 10.1109/TPEL.2021.3129069.
- [14] H. Attia, H. S. Che, T. K. S. Freddy, and A. Elkhateb, "Bipolar and unipolar schemes for confined band variable switching frequency PWM based inverter," *International Journal of Electrical and Computer Engineering*, vol. 11, no. 5, pp. 3763–3771, Oct. 2021, doi: 10.11591/ijece.v11i5.pp3763-3771.
- [15] X. Ruan, X. Wang Donghua Pan, D. Yang Weiwei Li, and C. Bao, "CPSS Power Electronics Series Control Techniques for LCL-Type Grid-Connected Inverters." [Online]. Available: http://www.springer.com/series/15422
- [16] C. W. T. McLyman, *Transformer and inductor design handbook*. Marcel Dekker, 2004.